

Requested Patent: JP56062351  
Title: SEMICONDUCTOR DEVICE FOR MEMORY  
Abstracted Patent: JP56062351  
Publication Date: 1981-05-28  
Inventor(s): SANO YUJI; others: 01  
Applicant(s): HITACHI LTD  
Application Number: JP19790137623 19791026  
Priority Number(s):  
IPC Classification: H01L25/04 ; H01L23/28

Equivalents:

**ABSTRACT:**

**PURPOSE:** To increase the memory capacity along with a compacter size by bonding a plurality of a semiconductor pellets for memory in parallel with a lead frame employing a tape carrier.

**CONSTITUTION:** Projected electrodes 12 and 13 are formed on semiconductor pellets 10 and 11. Copper foils 14 and 15 provided on a tape carrier are fastened on electrodes 12 and 13 with the free end of the copper foils connected to the lead frame 16. The pellets 10 and 11 are solidly molded with a resin as a single package. This molding can reduce a space between the upper and lower pellets thereby making the device compact.

2

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—62351

⑬ Int. Cl.<sup>3</sup>  
H 01 L 25/04  
23/28

識別記号

庁内整理番号  
7638—5F  
7738—5F

⑭ 公開 昭和56年(1981)5月28日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑮ メモリ用半導体装置

⑯ 発明者 村上元

小平市上水本町1450番地株式会  
社日立製作所武蔵工場内

⑰ 特 願 昭54—137623

⑱ 出 願 昭54(1979)10月26日

⑲ 出 願 人 株式会社日立製作所

⑳ 発 明 者 佐野雄治

小平市上水本町1450番地株式会  
社日立製作所武蔵工場内

東京都千代田区丸の内1丁目5  
番1号

㉑ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 メモリ用半導体装置

特許請求の範囲

1. 複数個のメモリ用半導体ペレットを上下方向に配置すると共に、これら各ペレットをテープキャリアを用いて単一のリードフレームに並列状態にボンディングし、更に一体的にモールドしてパッケージを形成したことを特徴とするメモリ用半導体装置。
2. 各半導体ペレットを同一方向に向けてボンディングしてなる特許請求の範囲第1項記載のメモリ用半導体装置。
3. 各半導体ペレットを相反する方向に向けてボンディングしてなる特許請求の範囲第1項記載のメモリ用半導体装置。
4. 各半導体ペレットを互に接合してなる特許請求の範囲第3項記載のメモリ用半導体装置。

発明の詳細な説明

本発明はメモリ用半導体装置に関し、特に大容量のメモリ用半導体装置に関するものである。

従来のメモリ用半導体装置では、そのメモリ容量はパッケージ内の半導体ペレットによって決定されるため、メモリ容量を増大するためには半導体ペレット自体を変更しなければならない。このため、半導体装置としては種々の容量の半導体ペレットを設計、製造しておく必要があるが、需要が少ない場合には半導体ペレットの準備がめづらくなり、実用的ではない。

このため、従来ではメモリ容量の小さい半導体装置を複数個用いてメモリ容量の大きな一つの半導体装置を構成するようにした所謂ピギーバック法 (PIGGY BACK) が提案され、実用化されている。このピギーバック法は、第1図に示すように、既に所定のメモリ容量 (例えば16Kビット) として形成された半導体ペレット1、3を夫々パッケージした複数個 (3個) のメモリ用半導体装置2、4を、上下方向に重ねた上で各々のリードフレーム5、6の相対するリードを夫々半田付け又はスポット溶接等によって接続し、これを一つのメモリ用半導体装置として構成する方法である。

(1)

(2)

この方法によれば、構成された半導体装置は構成された各半導体装置の総和のメモリ容量となり、例えば前述のように16 Kビットのものを3個接続した場合には48 Kビットの容量となり、極めて簡単に大きなメモリ容量の半導体装置を得ることができる。

しかしながら、このように構成された半導体装置では、例えば図1図に示したように3個の半導体装置8、6を重ねたものでは、基板7への実装に要する高さ寸法A、は単一の装置の3倍の寸法となっているために実装占有スペースが大となり、小型化の障害になるという問題がある。また、このように半導体装置を重ねると、比較的装置面積の大きなパッケージの上下面が相互に接触してしまうためにパッケージの放熱効果が低下され、装置の信頼性の低下を来くという問題も生じている。

したがって本発明の目的は、メモリ容量の増大を図ると共に装置のコンパクト化を達成し、かつ放熱性を向上してその信頼性を高めることができるメモリ用半導体装置を提供することにある。

(3)

しておらず、各ペレット10、11は図14、15の両性によって宙吊り状態でリードフレーム16に支持する。また、各ペレット10、11に接続した図14、15は、ペレット10、11の夫々対応する電極に接続したものが同一のインターリード17に接続することは言うまでもない。しかる後に、以上の構成のペレット10、11等は例えばトランスファモールド法によってレジン18にて一体的にモールドし、これを単一のパッケージとして形成するのである。

以上の構成によれば、ペレット10、11は図14、15及びリードフレーム16を通して並列的に接続しているのでビヤバック法により接続されていることになり、装置全体としては各ペレット10、11の各メモリ容量の和に相当する容量のメモリ量となり、メモリ量の増大を達成できる。これに加えて、ペレット10、11を一体的にモールドしているため、図1図の従来例に比較して両ペレットの上下間隔寸法を小さくでき、これにより装置の高さ寸法A、を小さくして実装

(4)

特開昭56-62351(2)

この目的を達成するために本発明は、複数個のメモリ用半導体ペレットを上下方向に配置すると共に、これら各ペレットをテープキャリアを用いて単一のリードフレームに並列状態にボンディングし、更に一体的にモールドしてパッケージを形成したことを特徴とするものである。

以下、本発明を図面に示す実施例に基づいて説明する。

図3図は本発明の一実施例を示しており、所定のメモリ容量を有する素子として形成した8個の半導体ペレット10と11は、実装電極18、18を有するペレットとして形成し、この実装電極18、18には例えば従来から使用されているテープキャリアに設けられている図14、15の一端をフュースボンディングしている。そして、前記各ペレット10、11を同一方向に両けて上下に並列配置すると共に、夫々接続した図14、15の他端をリードフレーム16のインターリード17の上下面に夫々接続している。前記リードフレーム16はペレット両層用のタブを有

(4)

に要する占有スペースを低減することができる。更に、この構成では下側のペレット11に生ずる熱は一体化したレジンモールドを通して上側のペレット10の熱と同様にパッケージの上面から効率よく放散できるので、放熱効果を大きくでき、これによりペレット10、11の過熱を防止し、装置の信頼性を高めることができる。

なお、この構成ではテープキャリアを使用してペレットのボンディングを行なっているので、装置の自動組立を容易に行なうことができ、作業工数の低減を図ることもできる。

図8図は他の実施例を示しており、図中図3図に相当する部分には同一符号を付している。この実施例で特徴とする点は、両ペレット10、11'を互に背反する方向に向けた上で、夫々を図14、15によりリードフレーム16にボンディングした点にある。この場合、両ペレット10、11'に距離を与えるために両ペレットを絶縁材19を介して接続すればよい。

本実施例では、前例と同様の効果に加えて、両

(5)

ペレット 10, 11' 間に上下隔層を設ける必要がないから、装置の高さ寸法  $A_1$  を更に低減できるという効果がある。但し、本実施例ではペレット 11' に形成されているメモリ回路が、ペレットを長向きにしてもその接続が変わることがないような、例えば左右対称の回路構成のペレットにのみ有効である。

ここで、本実施例ではペレットを 3 個使用したもののについて述べたが、場合によっては 3 個以上のペレットにて構成することも可能である。

以上説明したように本発明のメモリ用半導体装置によれば、既存のペレットを使用して大容量のメモリ用半導体装置を構成できるのはもとより、その高さ寸法の低減を図って実装占有スペースを小さくすると共に、その放熱性を向上して装置の信頼性を高めることができしかも組立の自動化及び作業工数の低減を図ることができる等の大なる効果を得るのである。

#### 図面の簡単な説明

第 1 図は従来のメモリ用半導体装置の断面図、

(7)

特開昭 56- 62351(3)

第 2 図は本発明のメモリ用半導体装置の断面図、

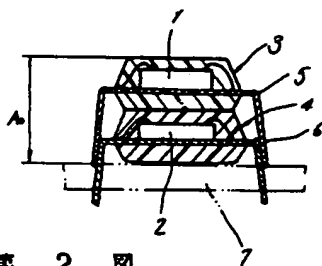
第 3 図は他の実施例の断面図である。

10, 11, 11'…ペレット、12, 13…突出電極、14, 15…側隔、16…リードフレーム、17…レジストモールド。

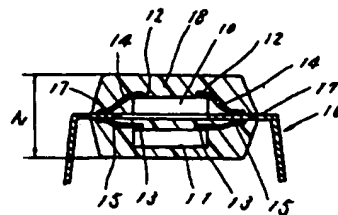
代理人 弁護士 藤 田 利 幸

(8)

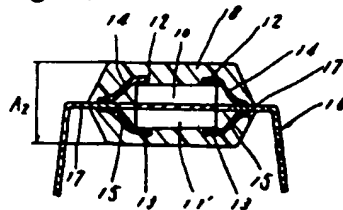
第 1 図



第 2 図



第 3 図



THIS PAGE BLANK (USPTO)